

BOUCLE A VERROUILLAGE DE PHASE (PLL)

V.1 INTRODUCTION

La mise au point de la boucle à verrouillage de phase ou PLL (Phase Locked Loop) est directement liée à l'histoire de la modulation d'amplitude.

Le principe de la PLL a été étudié en 1932, par Henri De BELLISCISE un ingénieur de l'École Supérieure d'Électricité (invention française). Ce dispositif était destiné à améliorer les conditions de réception des signaux radioélectriques noyés dans le bruit en modulation d'amplitude.

A l'époque, les réalisations à base de PLL étaient à tubes et donc volumineuses, chères et réservées au matériel professionnel. Aujourd'hui, une PLL ne comprend plus qu'un circuit intégré et quelques composants périphériques.

Les PLL ont envahi tout le domaine des télécommunications.

V.2 CONSTITUTION DE LA PLL

Le schéma fonctionnel d'une PLL correspond à un système asservi à retour unitaire. Elle est constituée par les éléments suivants :

- un comparateur de phase (CDP) ;
- un filtre passe-bas (FPB) ;
- un oscillateur contrôlé en tension (VCO).

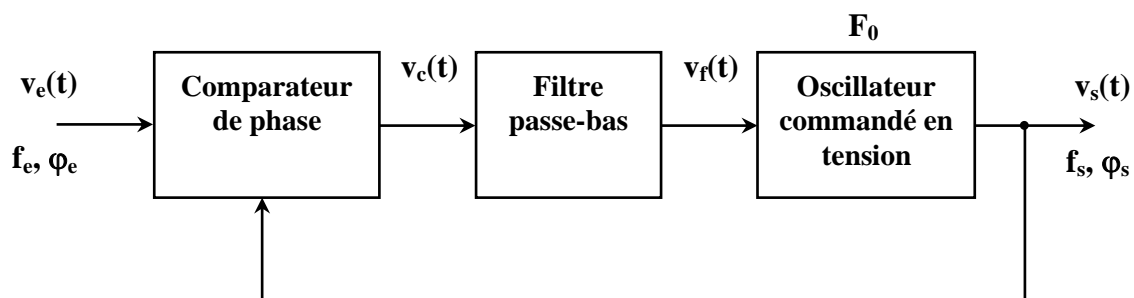


Figure V.1 : Structure de base de la boucle à verrouillage de phase

V.2.1 Filtre passe bas (FPB)

V.2.1.1 Réseau RC

$$F(p) = \frac{V_f(p)}{V_c(p)} = \frac{1}{1 + R.C.P}$$

C'est un filtre du premier ordre.

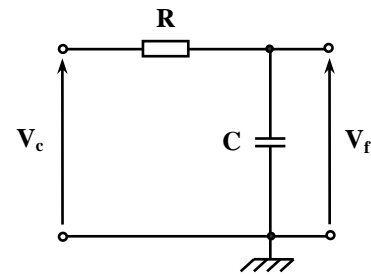


Figure V.2 : Réseau RC

V.2.1.2 Réseau R_1R_2C

$$F(p) = \frac{V_f(p)}{V_c(p)} = \frac{1 + R_2.C.p}{1 + (R_1 + R_2).C.p}$$

Le réseau RC précédent est, dans certains cas, insuffisant pour la stabilité de la boucle. Ce réseau à retard de phase lui sera alors préféré.

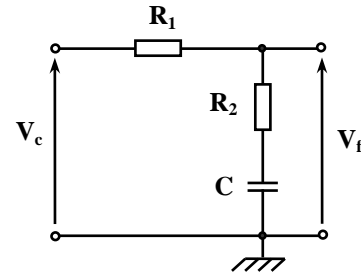


Figure V.3 : Réseau R_1R_2C

V.2.1.3 Filtre actif

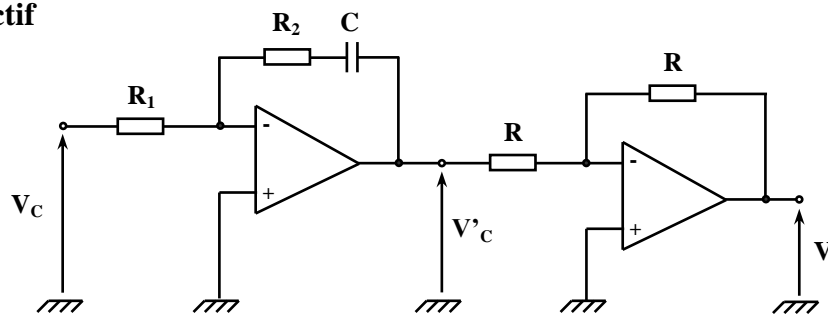


Figure V.4 : Filtre actif

Le rôle de l'inverseur est de corriger le signe négatif qui apparaît dans l'écriture de la fonction de transfert du premier étage.

$$V'_c(p) = -\frac{Z}{R_1} \cdot V_c \quad \text{avec } Z = R_2 + \frac{1}{Cp} \quad ; \quad \text{on a } V_f(p) = -V'_c(p)$$

$$F(p) = \frac{V_f(p)}{V_c(p)} = \frac{1 + \tau_2.p}{\tau_1.p} \quad \text{avec } \tau_1 = R_1C \text{ et } \tau_2 = R_2C$$

V.2.2 Oscillateur contrôlé par tension (VCO)

Un VCO (Voltage Controlled Oscillator) délivre un signal de sortie dont la fréquence f_s est proportionnelle à la tension de commande v_f , ceci sur une certaine plage de fréquence délimitée par F_{\min} et F_{\max} .

L'intervalle de fréquence $[F_{\min} ; F_{\max}]$ utilisable est appelé gamme de fréquence de l'oscillateur.

La loi de commande f_s en fonction de v_f est appelée caractéristique du VCO.

La fréquence F_0 appelée **fréquence libre** ou **fréquence centrale** (dite aussi **fréquence de repos**), s'exprime par : $F_0 = \frac{F_{\min} + F_{\max}}{2}$

Les valeurs de F_{\min} et F_{\max} sont réglées à l'aide de résistances et d'une capacité extérieures. L'utilisateur doit choisir correctement les valeurs de résistances et condensateur pour imposer ses valeurs de F_{\min} et F_{\max} . Le constructeur fournit des abaques permettant de faire ce choix.

Dans le domaine linéaire, la relation fréquence-tension du VCO s'écrit :

$$f_s = F_0 + \frac{F_{\min} - F_{\max}}{V_{f\max} - V_{f\min}} \cdot V_f = F_0 + k_0 \cdot V_f$$

k_0 : pente qui caractérise le VCO, et représente la sensibilité de l'oscillateur exprimée en Hz/V.

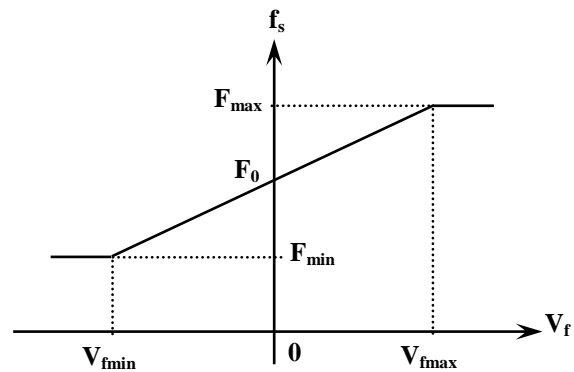


Figure V.5 : Caractéristique linéarisée du VCO

V.2.3 Comparateur de phase (CDP)

V.2.3.1 Comparateur de phase analogique "le multiplieur"

La structure est constituée d'un multiplieur délivrant le signal $\varepsilon(t) = k_D \cdot v_e(t) \cdot v_s(t)$

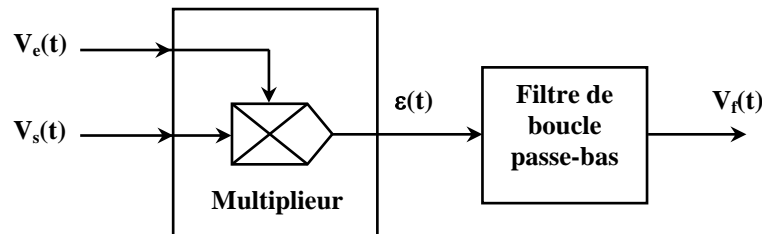


Figure V.6 : Comparateur de phase analogique

Soient : $v_e(t) = V_{em} \cdot \cos(\omega_e \cdot t + \varphi_e)$ et $v_s(t) = V_{sm} \cdot \cos(\omega_e \cdot t + \varphi_s)$

Alors : $\varepsilon(t) = k \cdot \frac{V_{em} \cdot V_{sm}}{2} \cdot [\cos(\varphi_e - \varphi_s) + \cos(2 \cdot \omega_e \cdot t + \varphi_e + \varphi_s)]$

Si le CDP est suivi d'un filtre passe-bas de fréquence de coupure très inférieure à $2 \cdot f_e$, on ne conserve que l'information qui est fonction du déphasage entre $v_e(t)$ et $v_s(t)$: on réalise donc bien un comparateur de phase.

$$v_f(t) = k \cdot \frac{V_{em} \cdot V_{sm}}{2} \cdot \cos(\varphi_e - \varphi_s) = k_D \cdot \cos(\varphi_e - \varphi_s)$$

On obtient un signal d'erreur qui est fonction uniquement du déphasage entre $v_e(t)$ et $v_s(t)$, si les amplitudes de $v_e(t)$ et $v_s(t)$ sont constantes.

k_D représente la sensibilité du CDP exprimée en V/rad.

Tracé de la caractéristique du comparateur de phase

On pose $\Delta\varphi = \varphi_e - \varphi_s$: déphasage entre les signaux $v_e(t)$ et $v_s(t)$.

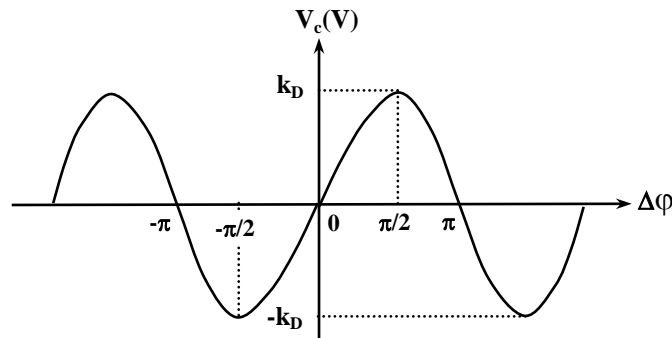


Figure V.7 : Caractéristique du comparateur

La caractéristique du comparateur est sinusoïdale : elle n'est pas linéaire. On peut considérer que la caractéristique est linéaire si le déphasage ne varie pas trop autour de $\pi/2$ ou $3\pi/2$...etc.

Le signal dépend de l'amplitude des signaux $v_e(t)$ et $v_s(t)$. Ce comparateur ne fonctionne que pour des fréquences voisines.

V.2.3.2 Comparateur de phase numérique "OU EXCLUSIF"

La structure utilisée est un circuit logique OU exclusif.

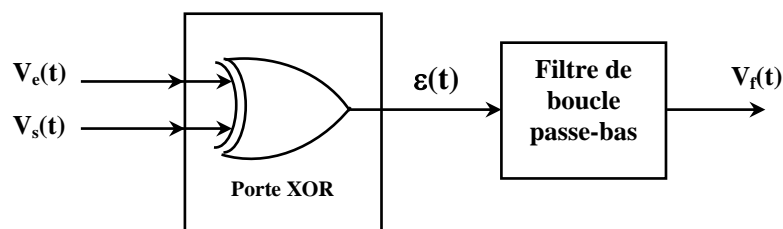


Figure V.8 : Comparateur de phase OU EXCLUSIF

Ce type de comparateur est très sensible au rapport cyclique des signaux qui le commandent. Nous allons l'étudier dans un premier temps lorsque les deux signaux ont un rapport cyclique de 50%, puis lorsque l'un d'eux a un rapport cyclique différent.

V.2.3.2.1 Cas du rapport cyclique de 1/2

Soient $v_e(t)$ et $v_s(t)$ des signaux logiques de rapport cyclique 50% et de même fréquence f_c . Le signal de référence est $v_e(t)$ et $v_s(t)$ est le signal de sortie issu du VCO.

On rappelle la table de vérité d'un circuit "OU exclusif" :

On pose $\Delta\varphi = \varphi_e - \varphi_s =$ déphasage entre les signaux $v_e(t)$ et $v_s(t)$.

V_e	V_s	$V_e \oplus V_s$
0	0	0
0	1	1
1	0	1
1	1	0

\Rightarrow **Cas où $0 < \Delta\varphi < \pi$**

Le signal $\varepsilon(t)$ est un signal périodique dont le fondamental est à la fréquence $2.f_e$. Si on utilise un filtre passe-bas de fréquence de coupure très inférieure à $2.f_e$, on ne conserve que la valeur moyenne de $\langle \varepsilon(t) \rangle$ du signal $\varepsilon(t)$.

La valeur moyenne de $\varepsilon(t)$ sur $[0 ; \pi]$ est :
$$v_f(t) = \langle \varepsilon(t) \rangle = \frac{V_{DD}}{\pi} \cdot \Delta\varphi = k_D \cdot \Delta\varphi$$

L'information $\langle \varepsilon(t) \rangle$ est proportionnelle au déphasage $\Delta\varphi$ entre $v_e(t)$ et $v_s(t)$: on réalise donc bien un comparateur de phase.

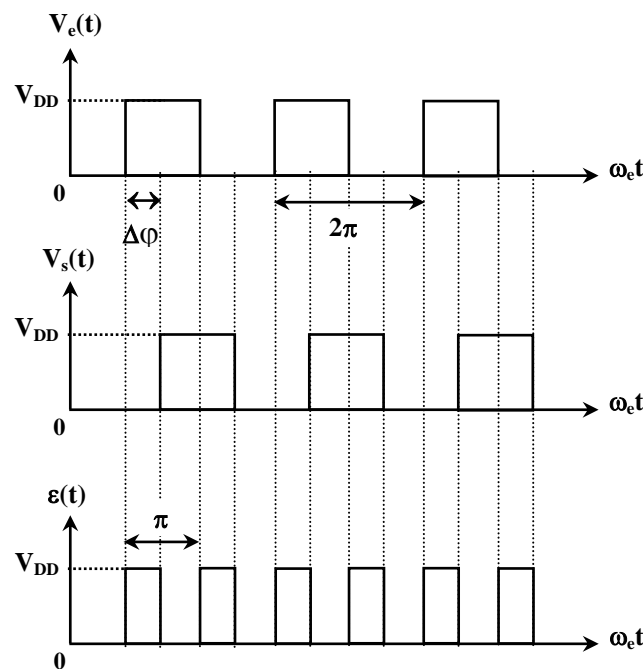
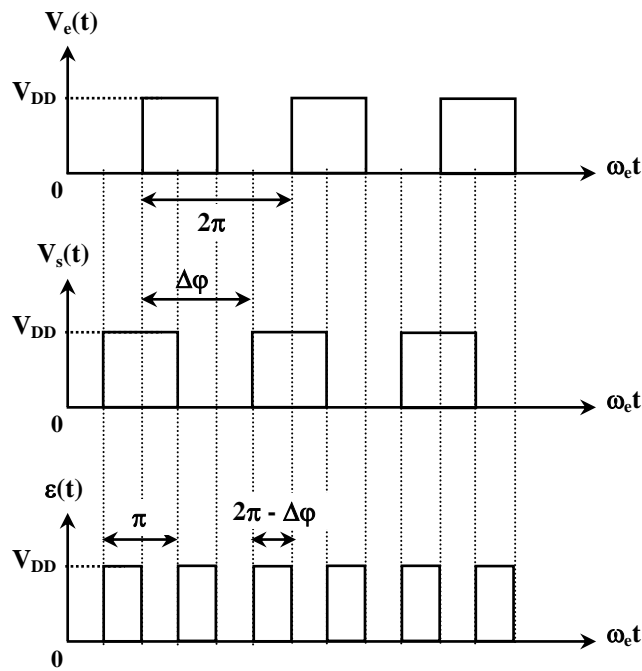


Figure V.9 : Chronogrammes pour $0 < \Delta\varphi < \pi$

On obtient les mêmes résultats pour un déphasage compris entre $[0 ; 2\pi]$.

\Rightarrow **Cas où $\pi < \Delta\varphi < 2\pi$**

La valeur moyenne de $\varepsilon(t)$ sur $[0 ; 2\pi]$ est :
$$v_f(t) = \langle \varepsilon(t) \rangle = \frac{V_{DD}}{\pi} \cdot (2\pi - \Delta\varphi)$$

Figure V.10 : Chronogrammes pour $\pi < \Delta\phi < 2\pi$

⇒ Le comparateur de phase ou exclusif suivi de son filtre, possède une caractéristique linéaire sur l'intervalle $[0, \pi]$:

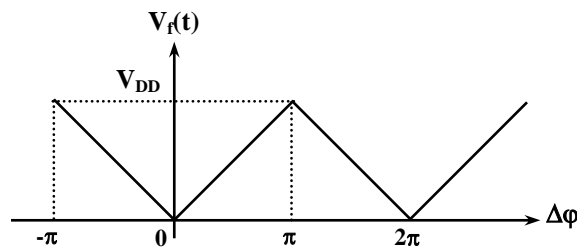


Figure V.11 : Caractéristique linéaire du comparateur OU EXCLUSIF

V.2.3.2.2 Cas de l'un des signaux a un rapport cyclique différent de 1/2

La caractéristique de transfert du comparateur a alors l'allure suivante :

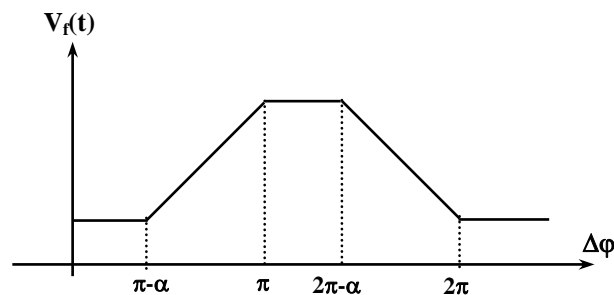


Figure V.12 : Caractéristique du comparateur OU EXCLUSIF

La caractéristique n'est plus linéaire sur la plage complète $[0 - \pi]$: la plage de fonctionnement est donc réduite !

IV.3 FONCTIONNEMENT DE LA PLL

* L'objet d'un tel dispositif est de synchroniser le signal d'un oscillateur modulable en fréquence avec un signal de référence (entrée), le synchronisme étant assuré par un asservissement de la fréquence des signaux.

* On rappelle les éléments de la PLL :

- Le VCO donne une fréquence qui varie en fonction de la tension de commande v_f appliquée sur son entrée. Il est linéarisé autour de F_0 et caractérisé par sa pente k_0 en Hz/V.
- Le CDP compare la fréquence du VCO avec la fréquence de référence. Il fournit à sa sortie une tension v_c alternative qui est fonction du déphasage $\Delta\phi$ entre v_e et v_s . Il est caractérisé par un coefficient souvent noté k_D en V/rad.
- Le FPB permet d'extraire la valeur moyenne de v_c qui est noté v_f . Cette tension v_f est proportionnelle au déphasage entre v_e et v_s .

* La boucle est verrouillée, signifie que les deux signaux appliqués sur le comparateur de phase (entrée $v_e(t)$ et la sortie $v_s(t)$) ont même fréquence. On a alors $f_e = f_s$. Cette égalité de fréquence est obtenue par la mesure de leur écart de phase.

* Le fonctionnement de la PLL est le suivant :

⇒ En l'absence de signal à l'entrée de la boucle, ou si la fréquence du signal injecté est en dehors de la plage de fonctionnement du VCO, la boucle est dite **non verrouillée** et $f_s = F_0$.

⇒ En présence d'un signal à l'entrée de la boucle de fréquence f_e voisin de F_0 , **la PLL se verrouille** et on aboutit au bout d'un temps bref (quelques ms en général) à un état stable caractérisé par $f_s = f_e$.

⇒ Une fois la boucle est verrouillée ou accrochée, la fréquence f_e d'entrée peut varier dans la **plage de verrouillage** sans que cette boucle ne décroche et on a toujours $f_s = f_e$. Il existe par contre un écart de phase permettant de générer la tension de commande du VCO afin que celui-ci puisse osciller à une fréquence différente de la fréquence libre F_0 .

⇒ si la fréquence d'entrée sort de la plage de verrouillage, la boucle décroche et on revient à la situation d'une boucle non verrouillée. Pour raccrocher la boucle, il faut alors revenir au voisinage de F_0 et pénétrer dans la **plage de capture**.

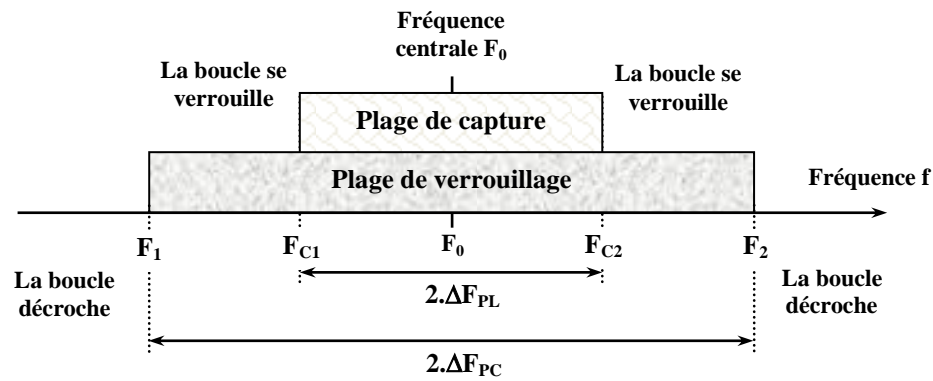


Figure V.13 : Les plages de capture et de verrouillage

V.3.1 Phénomène de capture, plage de capture

La capture correspond au passage de la boucle d'un état non verrouillé vers un état stable ($f_e = f_s$). Partant d'un état initial où les fréquences d'entrée et de sortie diffèrent (PLL décrochée), on fait varier f_e très lentement dans le sens d'une diminution de l'écart de fréquence ($f_e - f_s$). Tant que f_e reste en dehors d'un intervalle $[F_{C1}, F_{C2}]$ appelée plage de capture, la boucle ne parvient pas à s'accrocher.

Puis lorsque f_e entre dans cette plage, la fréquence du signal de sortie rejoint celle d'entrée : La boucle s'est verrouillée.

Plage de capture : Correspond à l'écart de fréquence entre la fréquence libre et la fréquence à partir de laquelle la PLL se verrouille. La plage de capture dépend de la fréquence de coupure du filtre passe bas.

V.3.2 Phénomène de poursuite, plage de verrouillage

Ce phénomène apparaît lorsqu'une PLL, préalablement accrochée ($f_e = f_s$) et ayant atteint son régime permanent, voit la fréquence de son signal d'entrée $v_e(t)$ varier lentement.

Si la variation est suffisamment lente par rapport au comportement dynamique de la boucle, on peut considérer qu'à chaque instant l'équilibre est conservé, donc $f_e = f_s$. Ceci n'est valable que tant que f_e est comprise dans un intervalle $[F_1 ; F_2]$ appelée plage de verrouillage.

En dehors de cette plage, la boucle cesse de délivrer une fréquence de sortie égale à celle d'entrée : les signaux sont désynchronisés.

La perte du verrouillage de la boucle est due à l'apparition d'une non linéarité de l'un des éléments (CDP ou VCO).

Plage de verrouillage : Correspond à l'écart de fréquence entre la fréquence libre et la fréquence à partir de laquelle la PLL se déverrouille. La plage de verrouillage dépend de la caractéristique du VCO, en particulier de l'étendue du domaine linéaire, c'est à dire $F_{\max} - F_{\min}$.

* Déterminons la plage de verrouillage sachant que l'on utilise un comparateur OU exclusif :

La plage de variation de $\Delta\phi$ est de $\pm\pi/2$ (autour de $\pi/2$ qui correspond au point de repos). Nous avons donc : $\Delta\phi_{\max} = \pm\pi/2$. La boucle ne décroche pas si $\Delta\phi \leq \pi/2$.

En régime permanent, nous avons $\Delta f_s = k_0.k_D.\Delta\phi$.

D'où $\Delta f_{s\max} = \pm k_0.k_D.\pi/2$ et donc $\Delta f_{s\max} = 2.\Delta F_{PL} = \pm k_0.k_D.\pi$

La plage de verrouillage est donc donnée par : $2.\Delta F_{PL} = k_0.k_D.\pi$

Ainsi, si on se fixe une plage de verrouillage, il faut que : $k_0.k_D > 2.\Delta F_{PL}/\pi$.

$2.\Delta F_{PL}$: plage de verrouillage $2.\Delta F_{PC}$: plage de capture

La plage de capture est toujours incluse dans la plage de verrouillage. Dans certains cas, ces deux plages sont identiques.

Lexique :

- La plage de verrouillage, est appelée aussi plage de maintien, plage de poursuite (tracking range et lock range).
- La plage de capture, est appelée plage d'accrochage (capture range, acquisition range).

V.4 MODELISATION DE LA PLL

V.4.1 Phase instantanée d'un signal sinusoïdal

Un signal de la forme $v(t) = V.\sin \phi(t)$ permet de définir :

- la phase instantanée $\phi(t)$.

- la pulsation instantanée $\omega(t)$: $\omega(t) = \frac{d\phi(t)}{dt}$

- la fréquence instantanée $f(t)$: $f(t) = \frac{1}{2\pi} \omega(t) = \frac{1}{2\pi} \frac{d\phi(t)}{dt}$

Si le signal est à fréquence fixe f_0 , $v(t) = V \sin (\omega_0 t + \phi_0)$

Si le signal est modulé en fréquence autour de ω_0 , $v(t) = V \sin \{[\omega_0 + \omega(t)]\}.t$

Où $\omega(t)$ est une fonction qui représente l'écart de pulsation par rapport à ω_0 .

Soient 2 signaux : $v_e(t) = V_{em} \sin \phi_e(t)$ où $\phi_e(t) = \omega_e t + \phi_{e0}$

$v_s(t) = V_{sm} \sin \phi_s(t)$ où $\phi_s(t) = \omega_s t + \phi_{s0}$

Le déphasage de $v_s(t)$ par rapport à $v_e(t)$ correspond à la différence des 2 phases instantanées :

$$\Delta\varphi(t) = \varphi_e(t) - \varphi_s(t) = (\omega_e - \omega_s).t + \varphi_{e0} - \varphi_{s0}, \text{ qui varie au rythme du battement } \omega_e - \omega_s.$$

Le même déphasage peut être défini pour des signaux rectangulaires (TTL par exemple) où il correspond au décalage dans le temps entre les deux signaux.

V.4.2 Relation fréquence - phase instantanée dans le domaine de Laplace

La notation des transformées de Laplace s'écrit de la manière suivante :

$$L[\varphi(t)] = \Phi(p) ; L[v(t)] = V(p) ; L[\omega(t)] = \Omega(p) ; L[f(t)] = F(p)$$

Les équations dans le domaine temporel, deviennent dans le domaine de Laplace :

$$\underline{\text{CDP}} : v_c(t) = k_D[\varphi_e(t) - \varphi_s(t)] = k_D.\Delta\varphi(t) \Rightarrow V_c(p) = k_D[\Phi_e(p) - \Phi_s(p)] = k_D.\Delta\Phi(p)$$

$$\underline{\text{FPB}} : V_f(p) = F(p).V_c(p)$$

$$\underline{\text{VCO}} : f_s(t) = k_0.v_f(t) \Rightarrow F_s(p) = k_0.V_f(p)$$

$$\text{On a : } \omega(t) = 2\pi.f_s(t) \Rightarrow \Omega_s(p) = 2\pi.F_s(p)$$

$$p.\Phi_s(p) = \Omega_s(p) \Rightarrow \Phi_s(p) = \frac{\Omega_s(p)}{p} = \frac{2\pi}{p}F_s(p) = \frac{2\pi.k_0}{p}V_f(p)$$

V.4.3 Schéma bloc

V.4.3.1 Schéma bloc en grandeurs phases

- Soient $\varphi_e(t)$ la phase du signal d'entrée et $\varphi_s(t)$ la phase du signal de sortie (issu du VCO).
- Supposons que le CDP est linéaire et qu'il délivre une tension de sortie $v_c(t)$ proportionnelle à la différence de phase entre les signaux qu'il reçoit : $v_c(t) = k_D[\varphi_e(t) - \varphi_s(t)] = k_D.\Delta\varphi(t)$
- Où k_D représente la sensibilité du CDP exprimée en V/rad.
- La tension d'erreur $v_c(t)$ est filtrée par le FPB, le bruit et les composantes hautes fréquences étant supprimées. La fonction de transfert du filtre est désignée par $F(p) = V_f(p)/V_c(p)$.
- La fréquence du VCO, dans la zone linéaire, est fixée par la tension de commande $v_f(t)$ de sorte que : $f_s = k_0.v_f$ où k_0 représente la sensibilité de modulation de l'oscillateur exprimée en Hz/V.
- Précisons ici que les conditions nominales de fonctionnement sont obtenues en appliquant un signal d'entrée de fréquence $f_e = f_0$. Le VCO oscille alors à sa fréquence centrale.

La pulsation est la dérivée par rapport au temps de la phase instantanée, par conséquent :

$$\omega_s(t) = 2\pi.f_s(t) = \frac{d\varphi_s(t)}{dt} \Rightarrow \Omega_s(p) = 2\pi.F_s(p) = p.\Phi_s(p)$$

Où $\varphi_s(t)$ représente la phase, $\omega_s(t)$ la pulsation et $f_s(t)$ la fréquence du signal de sortie (VCO).

Le schéma bloc de la PLL pour un retour unitaire est celui de la figure suivante :

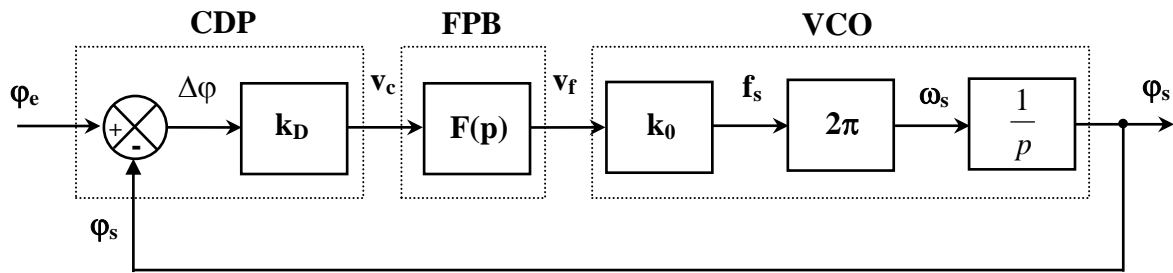


Figure V.14 : Schéma bloc de la PLL en grandeurs phases

V.4.3.2 Schéma bloc en grandeurs fréquences

Le passage de la fréquence à la phase se fait en multipliant par $(2\pi/p)$. Ce passage n'a rien de matériel, c'est la transformation mathématique.

Le schéma bloc reste le même pour la fréquence et la phase, ce qui montre que la boucle permet également un asservissement en fréquence. Il faut noter que selon le type de comparateur utilisé, le système sera asservi ($f_e = f_s$) pour un écart de phase $\Delta\phi = 0$ (Comparateur 2 du 4046) ou un écart $\Delta\phi$ variable avec la fréquence de verrouillage (Comparateur 1 à OU exclusif du 4046).

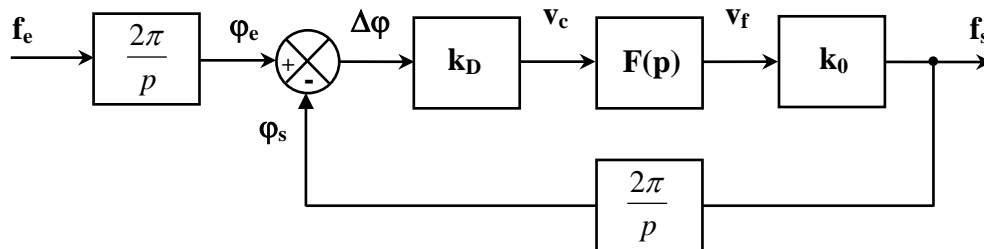


Figure V.15 : Schéma bloc de la PLL en grandeurs fréquences

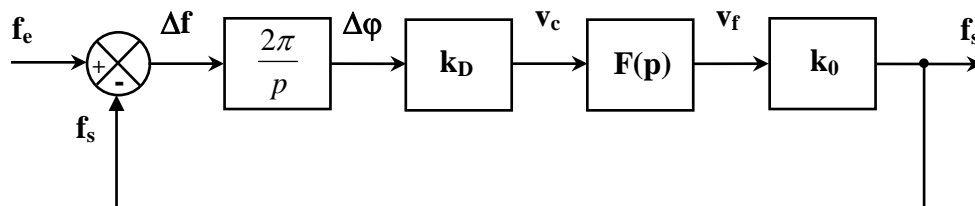


Figure V.16 : Schéma bloc de la PLL en grandeurs fréquences simplifié

L'étude de la PLL se ramène donc à l'étude d'un système asservi. On peut ainsi étudier la réponse à diverses excitations.

V.5 QUELQUES APPLICATIONS DE LA PLL

V.5.1 Multiplication de fréquence

Soit le schéma fonctionnel suivant :

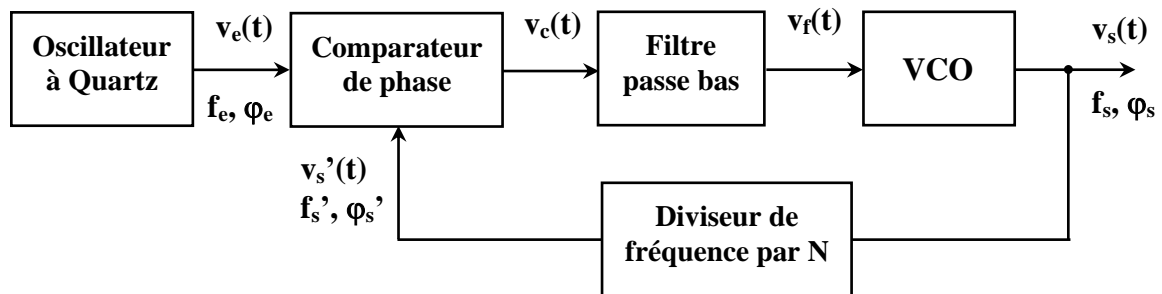


Figure V.17 : Multiplicateur de fréquence utilisant une PLL

Lorsque la boucle est verrouillée, nous avons $f_e = f_s'$. On rappelle que, dans une PLL, l'égalité de fréquence entre deux signaux est obtenue par la mesure de leur écart de phase. Ici, on mesure l'écart de phase entre les signaux $v_e(t)$ et $v_s'(t)$. La PLL étant verrouillée, ce sont donc deux signaux qui ont même fréquence, soit $f_e = f_s'$. Comme $f_s' = f_s/N$ on en déduit que : $f_s = N.f_e$.

Le signal de sortie du VCO, $v_s(t)$, a donc une fréquence N fois plus grande que celle du signal de référence $v_e(t)$: nous avons réalisé une multiplication de fréquence.

Ce principe est utilisé dans les synthétiseurs de fréquence : le diviseur est alors programmable.

La fréquence du signal de référence doit être très stable c'est pourquoi le signal à f_e est réalisé, en général, à partir d'un oscillateur à quartz.

V.5.2 Synthèse de fréquences

Le schéma de principe d'un synthétiseur est donné sur la figure ci-dessous.

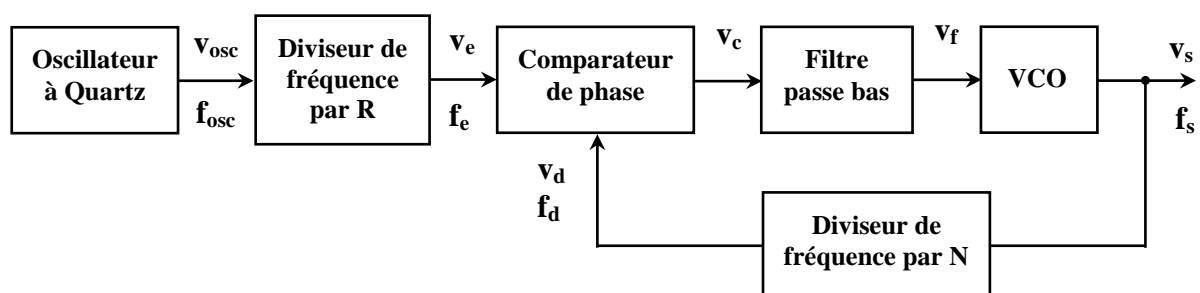


Figure V.18 : Synthétiseur de fréquence utilisant une PLL

Le second diviseur de fréquence par R en cascade avec l'oscillateur de référence, permet d'obtenir le "pas" ($f_e = f_{osc}/R$), c'est à dire la variation élémentaire de fréquence que l'on pourra obtenir pour la sortie.

Lorsque la boucle est verrouillée les fréquences f_e et f_d sont identiques, sachant que : $f_e = f_{osc}/R$ et

$$f_d = f_s/N, \text{ on en déduit que : } f_s = \left(\frac{f_{osc}}{R} \right) . N$$

On obtient une fréquence de sortie f_s qui est multiple du "pas" par un nombre entier N , et située dans la plage de travail du VCO.

La réalisation d'un synthétiseur haute fréquence nécessite donc un compteur programmable (N) travaillant en haute fréquence. Pour obtenir par exemple un pas de 5 kHz autour de 100 MHz il faut N égal à 20000, 20001, 20002, etc...